

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-023866

(43)Date of publication of application : 25.01.2002

(51)Int.Cl.

G05F 1/56
H01L 27/04
H01L 21/822

(21)Application number : 2000-207620

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 10.07.2000

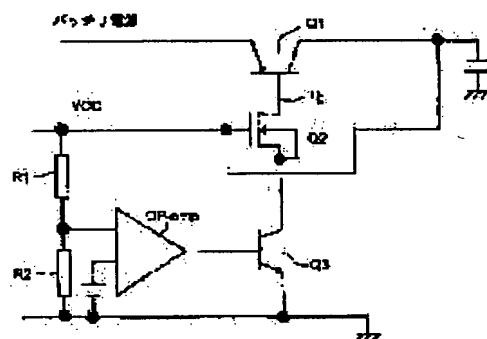
(72)Inventor : IKEUCHI HIROHITO
TAKAI KAZUTOKI

(54) REGULATOR CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a regulator circuit consisting of a semiconductor integrated circuit capable of improving the level of integration by properly reducing the space factor.

SOLUTION: This regulator circuit is provided with a first transistor Q1 constituted of a PNP transistor to be current-driven from a battery power source, a second transistor Q2 constituted of an NchMOS transistor whose drain is connected to the base of the first transistor Q1, a third transistor Q3 constituted of an NPN transistor connected to the source of the second transistor Q2 for controlling the driving currents of the first transistor Q1 through the second transistor Q2, and an operating amplifier OP-amp for controlling the third transistor Q3. In this case, a high breakdown strength element is used as the second transistor Q2, and a low breakdown strength element is used as the third transistor Q3 and the operating amplifier OP-amp, and the second and third transistors Q2 and Q3 and the operating amplifier OP-amp are integrally integrated as a semiconductor integrated circuit.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002-23866

(P2002-23866A)

(43)公開日 平成14年1月25日(2002.1.25)

(51)Int.Cl.

識別記号

F I

テーム(参考)

G 0 5 F 1/56

3 1 0

G 0 5 F 1/56

3 1 0 C 5 F 0 3 8

H 0 1 L 27/04

H 0 1 L 27/04

B 5 H 4 3 0

21/822

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号

特願2000-207620(P2000-207620)

(22)出願日

平成12年7月10日(2000.7.10)

(71)出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72)発明者 池内 洋仁

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(72)発明者 高井 一兆

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74)代理人 100088199

弁理士 竹中 岑生

Fターム(参考) 5F038 BB04 BB09 EZ20

5H430 BB01 BB05 BB09 BB11 EE03

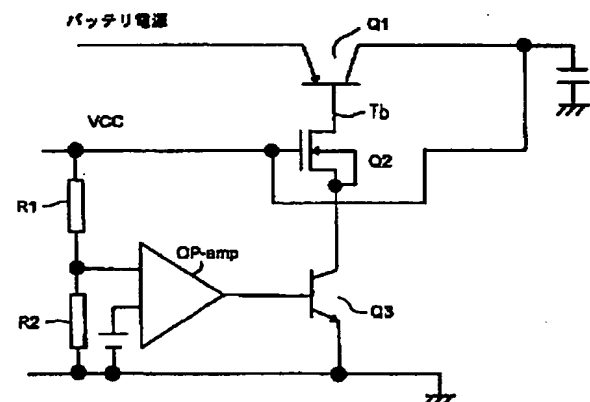
EE06 FF02 FF13 GG08 HH03

(54)【発明の名称】 レギュレータ回路

(57)【要約】

【課題】 占有面積を適切に縮減し集積度を向上できる半導体集積回路からなるレギュレータ回路を得る。

【解決手段】 バッテリ電源から電流駆動されるPNPトランジスタからなる第1のトランジスタQ1と、第1のトランジスタQ1のベースにドレインが接続されるNchMOSトランジスタからなる第2のトランジスタQ2と、第2のトランジスタQ2のソースに接続され第2のトランジスタQ2を介して第1のトランジスタQ1の駆動電流を制御するNPNトランジスタからなる第3のトランジスタQ3と、第3のトランジスタQ3を制御するオペアンプOP-ampとを備え、第2のトランジスタQ2として高耐圧素子を用いるとともに、第3のトランジスタQ3およびオペアンプOP-ampとして低耐圧素子を用いるものとし、第2および第3のトランジスタQ2、Q3ならびにオペアンプOP-ampを半導体集積回路として一体に集積化する。



【特許請求の範囲】

【請求項1】 バッテリ電源から電流駆動されるPNPトランジスタからなる第1のトランジスタと、前記第1のトランジスタを制御するため前記第1のトランジスタに接続されるNchMOSトランジスタからなる第2のトランジスタと、前記第2のトランジスタに接続され前記第2のトランジスタを介して前記第1のトランジスタの駆動電流を制御するNPNトランジスタからなる第3のトランジスタとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第3のトランジスタとして低耐圧素子を用いるものとし、前記第2および第3のトランジスタを半導体集積回路として一体に集積化したことを特徴とするレギュレータ回路。

【請求項2】 バッテリ電源から電流駆動される第1のトランジスタと、前記第1のトランジスタのベースにドレインが接続される第2のトランジスタと、前記第2のトランジスタのソースに接続され前記第2のトランジスタを介して前記第1のトランジスタの駆動電流を制御するNchMOSトランジスタからなる第4のトランジスタとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第4のトランジスタとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタを半導体集積回路として一体に集積化したことを特徴とするレギュレータ回路。

【請求項3】 バッテリ電源から電流駆動されるPchMOSトランジスタからなる第5のトランジスタと、前記第5のトランジスタのゲートにドレインが接続される第2のトランジスタと、前記第2のトランジスタのソースに接続され前記第2のトランジスタを介して前記第5のトランジスタの駆動電流を制御する第4のトランジスタと、前記第4のトランジスタを制御するオペアンプとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第4のトランジスタおよびオペアンプとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタならびに前記オペアンプを半導体集積回路として一体に集積化したことを特徴とするレギュレータ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は、高耐圧と低耐圧の混在するプロセスを利用することで、耐圧の必要な素子（チップ面積大）を最小限に抑え、集積度の向上を図った半導体集積回路からなるレギュレータ回路に関するものである。

【0002】

【従来の技術】 図4は、従来の車載用レギュレータ回路の1つの例である。通常、車載ユニットに使用されるレギュレータ回路のバッテリー電源は6～16Vであり、集積回路は5Vまたはそれ以下で使用される。レギュレータ回路を集積化する場合、駆動用のトランジスタQ1

は、発熱、チップ面積等の制約から、外付けするのが一般的である。この場合、ベース電流を引きこむ端子は、ほぼバッテリー電圧となるため、16V以上の耐圧が必要となる。

【0003】 図4で示される従来技術では、全体として高耐圧仕様のプロセスで製造された高耐圧素子を使用するため、個々の素子サイズが大きく、チップに占めるレギュレータ回路の面積が大きくなるという問題点があった。

【0004】

【発明が解決しようとする課題】 この発明は、占有面積を適切に縮減し集積度を向上できる半導体集積回路からなるレギュレータ回路を得ようとするものである。

【0005】

【課題を解決するための手段】 第1の発明に係るレギュレータ回路では、バッテリー電源から電流駆動されるPNPトランジスタからなる第1のトランジスタと、前記第1のトランジスタを制御するため前記第1のトランジスタに接続されるNchMOSトランジスタからなる第2のトランジスタと、前記第2のトランジスタに接続され前記第2のトランジスタを介して前記第1のトランジスタの駆動電流を制御するNPNトランジスタからなる第3のトランジスタとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第3のトランジスタとして低耐圧素子を用いるものとし、前記第2および第3のトランジスタを半導体集積回路として一体に集積化したものである。

【0006】 第2の発明に係るレギュレータ回路では、バッテリー電源から電流駆動される第1のトランジスタと、前記第1のトランジスタのベースにドレインが接続される第2のトランジスタと、前記第2のトランジスタのソースに接続され前記第2のトランジスタを介して前記第1のトランジスタの駆動電流を制御するNchMOSトランジスタからなる第4のトランジスタとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第4のトランジスタとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタを半導体集積回路として一体に集積化したものである。

【0007】 第3の発明に係るレギュレータ回路では、バッテリー電源から電流駆動されるPchMOSトランジスタからなる第5のトランジスタと、前記第5のトランジスタのゲートにドレインが接続される第2のトランジスタと、前記第2のトランジスタのソースに接続され前記第2のトランジスタを介して前記第5のトランジスタの駆動電流を制御する第4のトランジスタと、前記第4のトランジスタを制御するオペアンプとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第4のトランジスタおよびオペアンプとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタならびに前記オペアンプを半導体集積回路として一

体に集積化したものである。

【0008】

【発明の実施の形態】実施の形態1. この発明による実施の形態1を、図1について説明する。図1は、実施の形態1におけるレギュレータ回路の構成を示す接続図である。この回路は、高耐圧と低耐圧の混在するプロセスを試用して、耐圧の必要な部分のみに高耐圧素子（チップ面積大）を用い、他は低耐圧素子（チップ面積小）を用いて構成することで、レギュレータ回路がチップに占める面積を最小限にとどめたものである。

【0009】図1において、Q1はPNPトランジスタからなる第1のトランジスタ、Q2はNchMOSトランジスタからなる第2のトランジスタ、Q3はNPNトランジスタからなる第3のトランジスタ、OP-ampはオペアンプである。トランジスタQ1は、そのエミッタがバッテリー電源に接続されて、バッテリー電源により電流駆動される。トランジスタQ1のコレクタは、レギュレータ負荷回路に接続され、レギュレータ出力を負荷に供給する。トランジスタQ2は、そのドレインがトランジスタQ1のベースに端子Tbを介して接続される。トランジスタQ2のゲートは、5V系電源Vccに接続される。トランジスタQ3は、そのコレクタがトランジスタQ2のソースに接続され、そのベースがオペアンプOP-ampに接続される。トランジスタQ3のエミッタは接地部位に接続される。トランジスタQ3は、オペアンプOP-ampの出力により制御され、トランジスタQ2のソース電位を変化させることで、トランジスタQ1の駆動電流の制御を行う。

【0010】トランジスタQ2およびトランジスタQ3ならびにオペアンプOP-ampは、半導体集積回路を構成するものとして一体に集積化されている。この半導体集積回路は、高耐圧プロセスと低耐圧プロセスとが混在する半導体製造プロセスによって集積化される。トランジスタQ2は高耐圧プロセスを適用することにより高耐圧素子として構成され、トランジスタQ3およびオペアンプOP-ampは低耐圧プロセスを適用することにより低耐圧素子として構成される。トランジスタQ1は外付け構成とされるものであり、トランジスタQ2およびトランジスタQ3ならびにオペアンプOP-ampを集積化した半導体集積回路とは、端子Tbを介して接続される。

【0011】このように、外付けのトランジスタQ1のベース電流を引き込む端子Tbは、高耐圧のNchMOSトランジスタQ2を介して電流制御用のトランジスタQ3に接続される。ここで、高耐圧素子はトランジスタQ2のみで、トランジスタQ3およびオペアンプ回路は、全て5V以下の低耐圧素子を用いる。

【0012】以下、トランジスタQ3が低耐圧素子で可能であることを説明する。高耐圧のNchMOSトランジスタQ2は、そのゲートが5V系電源Vccに接続さ

れ、ソースが電流制御用のトランジスタQ3に接続される。このため、トランジスタQ2に電源が印加されているときは、ソース電位の変化で電流が制御される。

【0013】トランジスタQ3がフルオンしている時は、トランジスタQ2のソース電圧はトランジスタQ3の飽和電圧分である。トランジスタQ3がオフしている時は、トランジスタQ2のソース電位は上昇するが、トランジスタQ2のゲート・ソース間電圧がしきい値電圧（Vth）以下となると、トランジスタQ2はオフ状態となるため、トランジスタQ3のコレクタ電圧は電源電圧5V以上にはならない。従って、トランジスタQ3は低耐圧素子を用いることが可能である。

【0014】以上により、この発明による実施の形態1では、高耐圧素子を必要最小限にとどめ、回路がチップに占める面積を最小限に抑えたレギュレータ回路を得ることができる。

【0015】この発明による実施の形態1によれば、バッテリー電源から電流駆動されるPNPトランジスタからなる第1のトランジスタQ1と、前記第1のトランジスタQ1のベースにドレインが接続されるNchMOSトランジスタからなる第2のトランジスタQ2と、前記第2のトランジスタQ2のソースに接続され前記第2のトランジスタQ2を介して前記第1のトランジスタQ1の駆動電流を制御するNPNトランジスタからなる第3のトランジスタQ3と、前記第3のトランジスタQ3を制御するオペアンプOP-ampとを備え、前記第2のトランジスタQ2として高耐圧素子を用いるとともに、前記第3のトランジスタQ3およびオペアンプOP-ampとして低耐圧素子を用いるものとし、前記第2および第3のトランジスタQ2、Q3ならびに前記オペアンプOP-ampを半導体集積回路として一体に集積化したので、占有面積を適切に縮減し集積度を向上できる半導体集積回路からなるレギュレータ回路を得ることができる。

【0016】実施の形態2. この発明による実施の形態2を、図2について説明する。図2は実施の形態2におけるレギュレータ回路の構成を示す接続図である。この回路は、実施の形態1におけるレギュレータ回路のNPNトランジスタQ3をNchMOSトランジスタQ4に置き換えたものである。

【0017】図2において、Q1はPNPトランジスタからなる第1のトランジスタ、Q2はNchMOSトランジスタからなる第2のトランジスタ、Q4はNchMOSトランジスタからなる第4のトランジスタ、OP-ampはオペアンプである。ここでは、実施の形態1におけるレギュレータ回路のNPNトランジスタからなる第3のトランジスタQ3をNchMOSトランジスタからなる第4のトランジスタQ4に置き換えた以外は、実施の形態1における構成と同様の構成を有し、実施の形態1において説明した動作と同様の動作を行うものである。

る。

【0018】この構成により、オペアンプOP-ampからトランジスタQ4に流れ出る電流を阻止することができるので、オペアンプOP-ampのオフセット電圧を下げることができ、変動の少ないVcc電圧を出力させることが可能になる。また、このトランジスタQ4も、実施の形態1と同様、低耐圧素子で使用可能であり、レギュレータ回路がチップに占める面積を最小限に抑えることが可能である。

【0019】この発明による実施の形態2によれば、バッテリー電源から電流駆動される第1のトランジスタQ1と、前記第1のトランジスタQ1のベースにドレインが接続されるNchMOSトランジスタからなる第2のトランジスタQ2と、前記第2のトランジスタQ2のソースに接続され前記第2のトランジスタQ2を介して前記第1のトランジスタQ1の駆動電流を制御するNchMOSトランジスタからなる第4のトランジスタQ4と、前記第4のトランジスタQ4を制御するオペアンプOP-ampとを備え、前記第2のトランジスタQ2として高耐圧素子を用いるとともに、前記第4のトランジスタQ4およびオペアンプOP-ampとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタQ2, Q4ならびに前記オペアンプOP-ampを半導体集積回路として一体に集積化したので、占有面積を適切に縮減し集積度を向上できるとともに、オペアンプOP-ampのオフセット電圧を低減し出力電圧の変動を抑制できる半導体集積回路からなるレギュレータ回路を得ることができる。

【0020】実施の形態3。この発明による実施の形態3を、図3について説明する。図3は実施の形態3におけるレギュレータ回路の構成を示す接続図である。この回路は、実施の形態2の回路において、バッテリー電源からの電流駆動を行うPNPトランジスタからなる第1のトランジスタQ1を、高耐圧PchMOSトランジスタからなる第5のトランジスタQ5に置き換えたものである。

【0021】図3において、Q5はPchMOSトランジスタからなる第5のトランジスタ、Q2はNchMOSトランジスタからなる第2のトランジスタ、Q4はNchMOSトランジスタからなる第3のトランジスタ、OP-ampはオペアンプである。ここでは、実施の形態1および実施の形態2におけるレギュレータ回路のPNPトランジスタからなる第1のトランジスタQ1をPchMOSトランジスタからなる第5のトランジスタQ5に置き換えた以外は、実施の形態1および実施の形態2における構成と同様の構成を有し、実施の形態1および実施の形態2において説明した動作と同様の動作を行うものである。

【0022】この回路構成にすることにより、実施の形態2の回路におけるトランジスタQ1のベース電流を無

視することが出来るため、低消費電力化をはかることが可能になる。また、このトランジスタQ5は、トランジスタQ1と同様に、外付けで用いるため、IC内部のチップ面積には依存されない。

【0023】この発明による実施の形態3によれば、バッテリー電源から電流駆動されるPchMOSトランジスタからなる第5のトランジスタQ5と、前記第5のトランジスタQ5のゲートにドレインが接続されるNchMOSトランジスタからなる第2のトランジスタQ2と、前記第2のトランジスタQ2のソースに接続され前記第2のトランジスタQ2を介して前記第5のトランジスタQ5の駆動電流を制御するNchMOSトランジスタからなる第4のトランジスタQ4と、前記第4のトランジスタQ4を制御するオペアンプOP-ampとを備え、前記第2のトランジスタQ2として高耐圧素子を用いるとともに、前記第4のトランジスタQ4およびオペアンプOP-ampとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタQ2, Q4ならびに前記オペアンプOP-ampを半導体集積回路として一体に集積化したので、占有面積を適切に縮減し集積度を向上できるとともに、低消費電力化をはかることができる半導体集積回路からなるレギュレータ回路を得ることができる。

【0024】

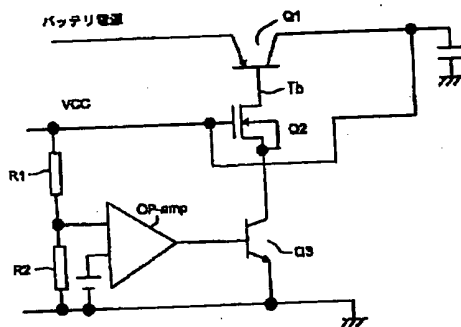
【発明の効果】第1の発明によれば、バッテリー電源から電流駆動されるPNPトランジスタからなる第1のトランジスタと、前記第1のトランジスタを制御するため前記第1のトランジスタに接続されるNchMOSトランジスタからなる第2のトランジスタと、前記第2のトランジスタに接続され前記第2のトランジスタを介して前記第1のトランジスタの駆動電流を制御するNPNトランジスタからなる第3のトランジスタとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第3のトランジスタとして低耐圧素子を用いるものとし、前記第2および第3のトランジスタを半導体集積回路として一体に集積化したので、占有面積を適切に縮減し集積度を向上できる半導体集積回路からなるレギュレータ回路を得ることができる。

【0025】第2の発明によれば、バッテリー電源から電流駆動される第1のトランジスタと、前記第1のトランジスタのベースにドレインが接続されるNchMOSトランジスタからなる第2のトランジスタと、前記第2のトランジスタのソースに接続され前記第2のトランジスタを介して前記第1のトランジスタの駆動電流を制御するNchMOSトランジスタからなる第4のトランジスタとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第4のトランジスタとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタを半導体集積回路として一体に集積化したので、占有面積を適切に縮減し集積度を向上できる半導体集積

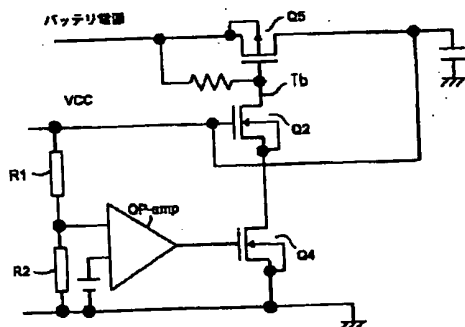
回路からなるレギュレータ回路を得ることができる。

【0026】第3の発明によれば、バッテリー電源から電流駆動されるPchMOSトランジスタからなる第5のトランジスタと、前記第5のトランジスタのゲートにドレインが接続される第2のトランジスタと、前記第2のトランジスタのソースに接続され前記第2のトランジスタを介して前記第5のトランジスタの駆動電流を制御する第4のトランジスタと、前記第4のトランジスタを制御するオペアンプとを備え、前記第2のトランジスタとして高耐圧素子を用いるとともに、前記第4のトランジスタおよびオペアンプとして低耐圧素子を用いるものとし、前記第2および第4のトランジスタならびに前記オペアンプを半導体集積回路として一体に集積化したので、占有面積を適切に縮減し集積度を向上できる半導体集積回路からなるレギュレータ回路を得ることができる。

【図1】



【図3】



【図面の簡単な説明】

【図1】 この発明による実施の形態1におけるレギュレータ回路の構成を示す接続図である。

【図2】 この発明による実施の形態2におけるレギュレータ回路の構成を示す接続図である。

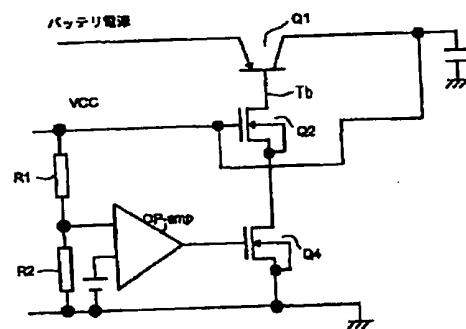
【図3】 この発明による実施の形態3におけるレギュレータ回路の構成を示す接続図である。

【図4】 従来技術における構成を示す接続図である。

【符号の説明】

Q1 PNPトランジスタからなる第1のトランジスタ、Q2 NchMOSトランジスタからなる第2のトランジスタ、Q3 NPNトランジスタからなる第3のトランジスタ、Q4 NchMOSトランジスタからなる第4のトランジスタ、Q5 PchMOSトランジスタからなる第5のトランジスタ、OP-amp オペアンプ。

【図2】



【図4】

